

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平4-284663

(43)公開日 平成4年(1992)10月9日

(51)Int.Cl. ⁵ H 01 L 25/065 25/07 25/18	識別記号 7220-4M 7220-4M	序内整理番号 F I	技術表示箇所 Z B
---	----------------------------	---------------	------------------

審査請求 未請求 請求項の数1(全4頁)

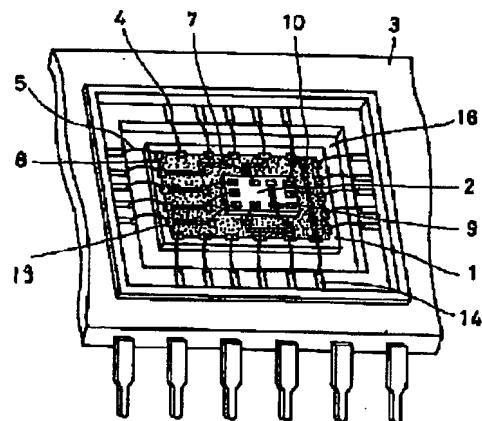
(21)出願番号 特願平3-48416	(71)出願人 株式会社東芝 神奈川県川崎市幸区堀川町72番地
(22)出願日 平成3年(1991)3月13日	(72)発明者 佐藤 健吾 神奈川県川崎市幸区小向東芝町 1 株式 会社東芝総合研究所内
	(72)発明者 和泉 裕彦 神奈川県川崎市幸区小向東芝町 1 株式 会社東芝総合研究所内
	(74)代理人 弁理士 木村 高久

(54)【発明の名称】 半導体装置

(57)【要約】

【目的】本発明は小型で信頼性の高い半導体装置を提供することを目的とする。

【構成】本発明では、下層側の半導体チップ表面を絶縁膜で被覆しこの絶縁膜の上層に電極を再配列し、上層側の半導体チップのボンディングパッドとの距離を小さくし、接続配線距離を短縮化して、複数の半導体チップを積層して、同一容器内に収容するようにしている。



1

2

【特許請求の範囲】

【請求項1】 半導体チップを収容する容器内に、表面を絶縁膜で被覆しこの絶縁膜の上層に電極を再配列してなる第1の半導体チップと、第2の半導体チップとを順次積層するとともに、前記再配列された電極と前記第2の半導体チップの電極とを接続して、実装するようにしたことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】 【発明の目的】

【0002】

【産業上の利用分野】 本発明は、半導体装置に係り、特に複数の異なる種類の半導体チップを複数個積層して搭載するようにした半導体装置の実装構造に関する。

【0003】

【従来の技術】 近年、COB (Chip on board) やメモリカード用モジュールなどの高密度実装における軽薄短小高機能化の傾向は高まる一方である。

【0004】 高機能化という点に着目すると、限られた寸法のパッケージ内により多くの品種を複数個並べて搭載し接続するには困難な状況にある。

【0005】 図3は従来の一般的な高密度実装型の半導体装置である。この半導体装置では、定められた長さのパッケージ3内に形成された2つのキャビティ6内に他品種の半導体チップ1, 2を搭載し、キャビティ6内に形成された配線4を介して相互に接続配線を行なうようにしている。5はチップのポンディングパッド9と配線4との間を接続するワイヤである。

【0006】 このように長さの決められたパッケージ内に多品種の半導体チップを複数個並べて実装した場合、その種類および数が限られるばかりでなく、パッケージ内における半導体チップの占有面積が大きくなり、必然的にパッケージを大型化せざるを得なくなる。また異なる種類のチップを接続する場合、パッケージ内の配線の引き回しによる電気抵抗の悪化を招くのみならず、さらにはこれらの実装の複雑化による接続不良の原因となり、信頼性に大きな影響を及ぼす。

【0007】

【発明が解決しようとする課題】 このように従来の半導体装置では、定められた長さのパッケージ内に多品種の半導体チップを複数個実装しようすると、半導体チップの占有面積が大きくなり、必然的にパッケージを大型化せざるを得なくなる上、チップ間の接続のため、パッケージ内配線の引き回しによる電気抵抗の悪化、さらにはこれらの実装の複雑化による接続不良の原因となり、信頼性が低いという問題があった。

【0008】 本発明は前記実情に鑑みてなされたもので、小型で信頼性の高い半導体装置を提供することを目的とする。

【0009】 【発明の構成】

【0010】

10

20

30

40

50

【課題を解決するための手段】 本発明では、下側の半導体チップ表面を絶縁膜で被覆しこの絶縁膜の上層に電極(ポンディングパッド)を再配列し、上側の半導体チップのポンディングパッドとの距離を小さくし、接続配線距離を短縮化して、複数の半導体チップを積層して、同一容器内に収容するようにしている。

【0011】

【作用】 上記構成によれば、互いに電気的に接続するような端子電極は半導体チップを積層して、容器内で相互接続するため、容器内での配線の引き回しを低減し、信頼性の高い半導体装置を得ることができる。

【0012】 望ましくは、上側の半導体チップのポンディングパッドも再配列し、さらなる配線距離の短縮化をはかることができる。

【0013】

【実施例】 以下本発明の実施例について、図面を参照しつつ詳細に説明する。

【0014】 実施例1

図1は、本発明の第1の実施例の半導体装置の斜視図、図2は同装置の断面図である。

【0015】 この半導体装置は、パッケージ13内に形成されたキャビティ16内に、表面にポリイミド膜を介して再配列配線10および再配列パッド7を形成した第1の半導体チップ1を搭載し、さらにこの上に第2の半導体チップ2を積層し、前記再配列パッド7と第2の半導体チップ2のポンディングパッド9とをワイヤ5を介して相互接続するように実装したことを特徴とするものである。再配列パッド7は第1の半導体チップの周縁部に位置するポンディングパッド19から再配列配線10によって引き回され、それぞれ第2の半導体チップ2の所望のポンディングパッド9に近接するように形成されている。

【0016】 そしてキャビティ16には、第1の配線14が形成され、この第1の配線は、ワイヤ5を介して第1の半導体チップ1の周縁部に位置するポンディングパッド19と接続される。20は第2の半導体チップ表面のポンディングパッドを相互接続するための再配列配線である。

【0017】 この装置によれば、チップ間の相互接続は再配列されたポンディングパッドを介してなされるため、容器内での配線の引き回しを低減し、信頼性の高い半導体装置を得ることができる。

【0018】 なお、前記実施例では、下側の半導体チップのポンディングパッド19の一部が露呈するようにポリイミド膜8を形成し、該ポンディングパッド19上にかかるようにポリイミド膜8上層に再配列配線を形成しているが、半導体チップのポンディングパッド19がすべて覆われるようにポリイミド膜を形成し、スルーホールを介して再配列配線と接続するようにしてもよい。

【0019】 また、前記実施例では、両方の半導体チッ

ブのポンディングパッドを再配列するようにしたが、下側の第1の半導体チップのポンディングパッドのみを再配列するようにしてもよい。また、上側の第2の半導体チップにも第1の半導体チップの対応するパッド位置に近くなるように再配列配線を形成しポンディングパッドを再配列するようにすればパッケージ内でのポンディングワイヤの引き回しおよび配線の引き回しをさらに小さくすることができる。

【0020】また、前記実施例では2個の半導体チップを積層するようにしたが、3個以上を積層するようにしてもよいことはいうまでもない。

【0021】実施例2

加えて、第1および第2の半導体チップ間での相互接続端子を他数個もつような場合には、一方または両方のポンディングパッドを再配列し、ワイヤを介することなく直接接合（ダイレクトポンディング）で両者を接続するようにしてもよい。

【0022】本発明の第2の実施例としてこの例について図3を参照しつつ説明する。

【0023】この半導体装置は、図3に示すように、第1の半導体チップ21a表面を覆うポリイミド樹脂膜27上に形成された再配列電極（ポンディングパッド）30aと、この再配列電極30aに対応するように第2の半導体チップ21bにもポリイミド樹脂膜27を介して再配列電極30bを形成し、両者を再配列電極が向かい合うように、リードフレームのインナーリード22を介して積層し、インナーリード22の先端がパンプ26によってそれぞれ第1および第2の半導体チップの再配列電極に直接接合されていることを特徴とするものである。

【0024】すなわち、図4に上側の第1の半導体チップ21aを除いた状態を示すように、半導体チップ21bの能動素子領域を含む表面全体がポリイミド樹脂膜27で被覆されており、このポリイミド樹脂膜に形成されたスルーホールhを介してポンディングパッド22に接続するように、再配列電極30bを含む再配列配線31が能動素子領域上に再配列されている。そしてこの再配列電極30bにインナーリード22の先端がパンプ26によって直接接合されている。

【0025】そしてこの上に、向かい合うように第1の半導体チップ21aの再配列電極がこのインナーリード22にパンプ26によって直接接合され、第1および第2の半導体チップの相互接続とリードフレームへの接続を行っている。

【0026】そして、この外側は封止樹脂29で被覆されている。23は前記インナーリード22と一体的に形成され、樹脂パッケージ29から導出されるアウターリードである。28はインナーリード表面を被覆する絶縁膜としてのポリイミド膜である。

【0027】この構造では、例えば同一チップを相互接

続して用いる場合に、向かい合わせにするとポンディングパッドの位置は互いに反転した位置になってしまい、ポンディングワイヤが長くなってしまうが、このようにポンディングパッドを互いに相対向するように再配列し、さらにこれらポンディングパッドの間にインナーリード22を挟んで直接接合することができ、極めて小型で信頼性の高いものとなる。

【0028】なお、リードフレームに代えて、フィルムキャリアを用いるようにしてもよい

【0029】

【発明の効果】以上説明してきたように、本発明によれば、複数の半導体チップを積層して、同一容器内に収容するとともに下層側の半導体チップ表面を絶縁膜で被覆しこの絶縁膜の上層に電極を再配列し、上層側の半導体チップのポンディングパッドとの距離を小さくし、接続配線距離を短縮化するようにしているため、容器内での配線の引き回しを低減し、信頼性の高い半導体装置を得ることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例の半導体装置を示す斜視図。

【図2】本発明の実施例の半導体装置の断面図。

【図3】本発明の第2の実施例の半導体装置を示す断面図。

【図4】本発明の第2の実施例の半導体装置の一部破断図。

【図5】従来例の半導体装置を示す斜視図。

【符号の説明】

1 第1の半導体チップ

2 第2の半導体チップ

3 パッケージ

4 配線層

5 ワイヤ

6 キャビティ

7 パッド

8 ポリイミド膜

9 パッド

10 第2の配線

13 パッケージ

14 配線

16 キャビティ

21a 第1の半導体チップ

21b 第2の半導体チップ

22 インナーリード

27 ポリイミド樹脂膜

30a 再配列電極（ポンディングパッド）

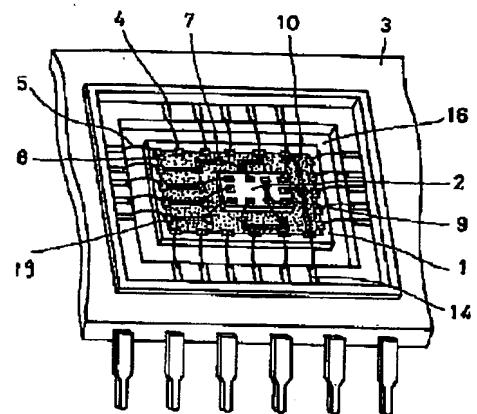
30b 再配列電極

26 パンプ

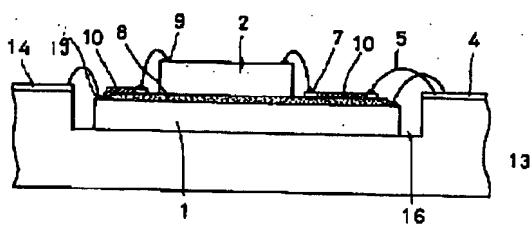
h スルーホール

31 再配列配線

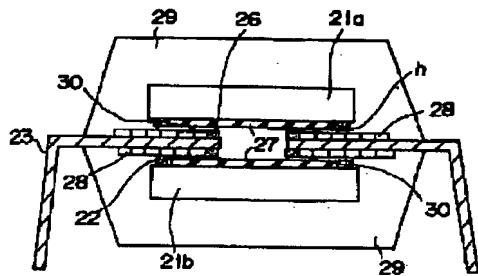
【図1】



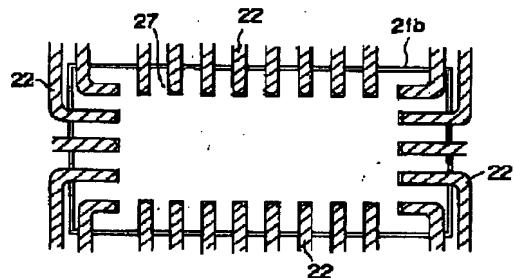
【図2】



【図3】



【図4】



【図5】

